

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-273374

(43) 公開日 平成11年(1999)10月8日

(51) Int. Cl.⁶ 識別記号
 G 1 1 C 16/02
 H 0 1 L 27/115
 21/8247
 29/788
 29/792

F I
 G 1 1 C 17/00 6 1 2 D
 H 0 1 L 27/10 4 3 4
 29/78 3 7 1

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平11-14078
 (22) 出願日 平成11年(1999)1月22日
 (31) 優先権主張番号 9 8 8 3 0 0 2 4 . 0
 (32) 優先日 1998年1月22日
 (33) 優先権主張国 ヨーロッパ特許庁 (E P)

(71) 出願人 598073084
 エステーマイクロエレクトロニクス エ
 ス. アール. エル
 イタリア国、20041 ミラノ、アグラ
 テ・ブリアンツァ、ヴィア・シー・オリベ
 ッティ、2
 (72) 発明者 マルコ・バソッチ
 イタリア国、27028 エス・マルチーノ・
 シッコマリオー、ヴィア・ベネデット・ク
 ロス、3
 (74) 代理人 弁理士 筒井 大和 (外 2 名)

最終頁に続く

(54) 【発明の名称】 メモリ装置とくにアナログおよび多重レベルのフラッシュEEPROM装置における制御された消去方法

(57) 【要約】

【課題】メモリの構造的な変更を必要としないフラッシュEEPROM装置における制御された消去方法を提供する。

【解決手段】 制御された消去の方法は、少なくとも、メモリ・アレイのセルに少なくとも一つの消去パルスを供給するステップ(40)と、消去されたセルのしきい値電圧をある低いしきい値と比較するステップと、前記低いしきい値より低いしきい値電圧を有する消去されたセルに選択的にソフト・プログラミングを行なうステップと、消去されたセルが低いしきい値より高いしきい値を有することをベリファイするステップ(42)とを含む。少なくとも1である、所定数の消去されたセルが前記第一のしきい値より高いしきい値を有する場合には、すべてのセルに一つの消去パルスがあたえられ(44)、選択的ソフト・プログラミングおよびベリファイのステップが繰り返される。

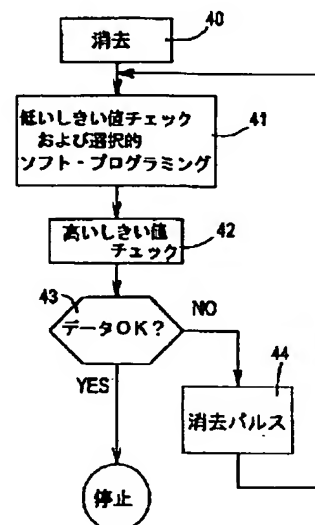


FIG. 3

【特許請求の範囲】

【請求項1】 不揮発性メモリ装置とくにアナログおよび多重レベルのフラッシュEEPROM装置における制御された消去方法であって、メモリ・アレイ(2)のセル(3)に少なくとも一つの消去パルスを供給するステップ(40)と、消去されたセルが第一のしきい値より低いしきい値電圧を有することをベリファイするステップ(43)とを有する方法において、

消去されたセルの前記しきい値電圧を、前記第一のしきい値より低い第二のしきい値と比較するステップ(53)と、

前記第二のしきい値より低いしきい値電圧を有する消去されたセルに、選択的にソフト・プログラミングを行なうステップ(62)とを有することを特徴とする方法。

【請求項2】 前記比較するステップ(53)および選択的にソフト・プログラミングを行なうステップ(62)は、前記ベリファイするステップ(43)より前に実行されることを特徴とする請求項1に記載の方法。

【請求項3】 前記ベリファイするステップ(43)の後、少なくとも1である、あらかじめ定められた数の消去されたセルが前記第一のしきい値より高いしきい値を有する場合には、前記ステップは、前記消去されたセルに消去パルスをあたえ(44)、そして前記比較するステップ、選択的ソフト・プログラミングを行うステップおよびベリファイのステップを繰り返すことにより実行されることを特徴とする請求項2に記載の方法。

【請求項4】 前記比較するステップは、

a) 前記消去されたセルから第一のセルをアドレス指定するステップ(51)と、

b) 前記アドレス指定されたセルに読出しバイアスをかけるステップと、

c) 前記アドレス指定されたセル(3)が前記第二のしきい値より高いしきい値電圧を有する場合には、第一の比較値を有する第一の比較信号(OD)を生成し、それ以外の場合には、第二の比較値を生成するステップ(52)と、

d) 前記第一の比較信号(OD)が前記第一の比較値を有する場合には、前記消去されたセルから前記アドレス指定されたセルに続くセルをアドレス指定して前記ステップb)に戻るステップ(54)と、

e) 前記第一の比較信号(OD)が前記第二の比較値を有する場合には、繰返しカウンタ(C)を更新し(61)、前記アドレス指定されたセルにソフト・プログラミング・パルスをあたえ(62)、前記アドレス指定されたセルに読出しバイアスをかけ(63)、前記第一の比較信号を更新する(64)ステップと、

f) 前記第一の比較信号(OD)が前記第一の比較値を有する場合には、前記アドレス指定されたセルに続くセル(3)をアドレス指定して前記ステップb)に戻るステップ(54)と、

g) 前記第一の比較信号(OD)が前記第二の比較値を有した前記繰返しカウンタ(C)があらかじめ定められた繰返し値より低い場合には、前記ステップe)に戻るステップと、

h) 前記第一の比較信号(OD)が前記第二の比較値を有し、前記繰返しカウンタ(C)があらかじめ定められた繰返し値より高い場合には、前記アドレス指定されたセルに続くセルをアドレス指定して前記ステップb)に戻るステップとを有することを特徴とする請求項1〜3のいずれか1項に記載の方法。

【請求項5】 前記ステップh)では異常信号(SW)が生成され、前記比較ステップ(53)が完了したら前記異常信号(SW)が存在する場合には前記セルがすべて消去され、前記a)からh)間でのステップが繰り返されることを特徴とする請求項4に記載の方法。

【請求項6】 前記ベリファイするステップ(42)は、

i) 前記消去されたセルから第一のセルをアドレス指定するステップ(71)と、

j) 前記アドレス指定されたセルに読出しバイアスをかけるステップ(70)と、

k) 前記アドレス指定されたセル(3)が前記第一のしきい値より高いしきい値電圧を有する場合には、第三の比較値を有する第二の比較信号(OD)を生成し、それ以外の場合には、第四の比較値を生成するステップ(72)と、

l) 前記第二の比較信号(OD)が前記第三の比較値を有する場合には、前記アドレス指定されたセルに続くセルをアドレス指定して前記ステップj)に戻るステップ(74)と、

m) 前記第二の比較信号(OD)が前記第四の比較値を有する場合には、不正消去信号を生成し(77)、前記セルに消去パルスをあたえ(44)、前記比較および選択的ベリファイのステップを繰り返すステップとを有することを特徴とする請求項1〜5のいずれか1項に記載の方法。

【請求項7】 不揮発性メモリ装置(1)とくにフラッシュEEPROM装置であって、複数のセル(3)からなるメモリ・アレイ(2)と、前記セルの一つをアドレス指定するために前記メモリ・アレイに接続されたアドレス回路(10, 18)と、前記アドレス回路を介して前記メモリ・アレイに接続された読出しおよび比較回路(12)、前記アドレス回路(10, 18)、前記メモリ・アレイ(2)並びに前記読出しおよび比較回路(12)に接触された作動電圧生成装置(22)と、前記アドレス回路、前記読出しおよび比較回路並びに前記作動電圧生成装置に接続された制御装置(23)とを有し、前記制御装置(23)は、前記アドレス回路および前記作動電圧生成装置に接続されて前記セルの消去パルスの伝送を制御する消去パルス生成制御手段(40, 44)

と、前記読出しおよびベリファイ回路に接続されて消去されたセルが第一のしきい値より低いしきい値電圧を有するかどうかをベリファイするベリファイ手段(43)を含むメモリ装置(1)において、前記制御装置(23)は、前記読出しおよび比較回路および前記作動電圧生成装置に接続されて消去されたセルのしきい値電圧と前記第一のしきい値より低い第二のしきい値の比較をイネーブルする比較イネーブル手段(50~53)と、前記第二のしきい値より低いしきい値電圧を有する消去されたセルを選択的にソフト・プログラミングするための選択的ソフト・プログラミング制御手段(62)とを有することを特徴とするメモリ装置。

【請求項8】 前記制御装置は、前記第一のしきい値より高いしきい値を有するあらかじめ定められた数の消去されたセルの存在を検出する非消去セル(3)用検出手段(43)と、非消去セルのための前記検出手段(43)によってイネーブルされ、前記消去パルス生成制御手段(44)、前記比較イネーブル手段(50~53)と、前記選択的ソフト・プログラミング制御手段(62)と、前記ベリファイ手段(43)とを順次イネーブルする順次活性化手段とを有することを特徴とする請求項7に記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性メモリ装置とくにアナログおよび多重レベルのフラッシュEEPROM装置の制御された消去の方法に関する。

【0002】

【従来の技術】一以上の消去パルスをあたえてフラッシュセルを消去する際には、一部のセルが過度に消去されて負のしきい値電圧を示すようになる(減損セル)ことと、長い消去パルスをあたえると、しきい値電圧のばらつきが大きくなる(最大で約3V)との二つの大きな問題が生じることは知られている。

【0003】さらに、とくにメモリがアナログあるいは多重レベル型のもので異なるデジタル値またはアナログ値を記憶する場合、消去後にデータを正しく記憶できるためには、減損セルが存在してはならず、またセルが特定の値より低いしきい値電圧を示すことは許されない。正しく作動するセルの他に、各消去パルスでそのしきい値電圧の変更が小さすぎたり、あるいはそのしきい値電圧の変更が大きすぎたりするセルが存在すると、上記で述べた要件は満たされなくなる。

【0004】現在、消去は、しきい値電圧の最終的な分布に過度に制限された制約をあたえることなく消去の期間ができるだけ短くなるようにして行なわれている。そのため、消去は、通常、あらかじめ定められた持続期間(例えば10m秒)の消去パルスを供給し、各パルスの後にセルのサブアセンブリー(これらは、通常、すべて現在消去されているセクタのある行に属するものであ

る)に対する消去ベリファイ・ステップを実行することによって行なわれる。サブアセンブリーのセルが一つでも(あらかじめ定められた値より高いしきい値を示すために)このベリファイ・ステップをパスしなければ、新しい消去パルスが供給される。そのサブアセンブリーのすべてのセルがベリファイ・ステップをパスすると、セクタ全体のベリファイが行なわれ、100%近い(例えば98%)成績の場合にはじめてベリファイ・ステップをパスすることになる。消去の終わりに、減損したセルを回復するため、(ほぼ7Vのゲート電圧VGとはほぼ7Vのドレイン電圧VDを約5μ秒間供給することにより)すべてのセルに対して不指示的にソフト・プログラミング・パルス(soft-programming pulse)が生成される。

【0005】

【発明が解決しようとする課題】しかし、上記に述べた消去方法は、分布の大きさとアナログまたは多重レベルのプログラミングに必要な低い平均値の要件を満たすことができない。

【0006】したがって、本発明の目的は、上記で述べた要件を満たすことを可能にする消去方法を提供することである。

【0007】

【課題を解決するための手段】本発明にもとづけば、例えば、請求項1に記載のように不揮発性メモリ装置とくにアナログおよび多重レベルのフラッシュEEPROM装置の制御された消去を行なうための方法が提供される。すなわち、不揮発性メモリ装置とくにアナログおよび多重レベルのフラッシュEEPROM装置の制御された消去方法であって、メモリ・アレイ(2)のセル(3)に少なくとも一つの消去パルスを供給するステップ(40)と、消去されたセルが第一のしきい値より低いしきい値電圧を有することをベリファイするステップ(43)とを有する方法において、消去されたセルの前記しきい値電圧を、前記第一のしきい値より低い第二のしきい値と比較するステップ(53)と、前記第二のしきい値より低いしきい値電圧を有する消去されたセルに、選択的にソフト・プログラミングを行なうステップ(62)とを有する方法が提供される。

【0008】

【発明の実施の形態】本発明の理解を助けるために、以下、添付の図面を参照して、好ましい一の実施の形態を説明するが、この実施形態は本発明を限定するものではない。

【0009】図1は、消去中に関係するメモリ1のブロックを示す。図には、メモリ1のうち、行および列に配置されてそれぞれのビット線4およびワード線5に接続された複数のセル3からなるアレイ2が詳細に示されている。また、公知の方法で、ある一列に配置されたセル3のドレイン端末が単一のビット線4に接続され、ある

一行に配置されたセル3のゲート末端が単一のワード線5に接続され、そして、すべてのソース末端が互いに接続され共通のソース末端6を介してアレイ2の外部に導出されることが詳細に示されている。アレイ2が公知の方法でセクタに分割される場合には、共通のソース末端6は異なるセクタに分離されることになる。

【0010】ビット線4は、列デコーダ10に接続されており、列デコーダ10は、その制御入力11に供給されるアドレス信号の指定にしたがって、公知の方法でビット線4を選択的にバイアスおよび読出し回路（センスアンパ12）に接続し、当該回路は、図2により詳細に図示されている。センスアンパ12は、制御入力13と、電圧VBおよびVREF並びに電源電圧Vddを受けるバイアス入力14と、出力データODが供給される出力15とを有する。同様に、ワード線5は、アドレス信号を受ける制御入力19と電圧VPCXを受けるバイアス入力20とを有する行デコーダ18に接続される。

【0011】バイアスおよび供給電圧VB、VREF、Vdd、VPCXは、共通のソース末端6に接続された発電ステージ22によって生成され、この発電ステージは制御装置23によって制御されまた逆に制御装置23に電力を供給する。制御装置23は、（例えば、状態機械を有し）列デコーダ10および行デコーダ18にアドレス信号を供給し、センスアンパ12から出力信号ODを受け取り、またメモリ1の他の部分（図示せず）との接続のための出力24を有する。

【0012】図2は、センスアンパ12の構造を詳細に示す。ただし、これは、通常のタイプのものであり以下ではその説明は簡単に行なう。図2にはアレイ2の一つのセル3のみを示すが、セル3は、列デコーダ10に属するスイッチ27を介してカレントミラー回路29の第一のノード28およびセルバイアス回路30に接続される。セルバイアス回路30は、PMOS型の制御トランジスタ31に接続される。制御トランジスタ31は、ゲート末端が入力13にまたソース末端が入力14に接続されて電圧VBを受ける構成で、電圧VBは、制御トランジスタ31での電圧降下を無視し、セル3の各種の読出しおよび書込みステップでの計画にしたがいセル3のドレイン末端にあたえられる。

【0013】カレントミラー回路29は、基準バイアス回路33を介してNMOS型の基準トランジスタ34に接続された第二のノード32を有し、基準トランジスタ34は、ソース末端が接地され、ゲート末端が電圧VREFを受けるセンスアンパ12の入力14に接続される。基準バイアス回路33は、セルバイアス回路30と同じ構造であるが、制御トランジスタには接続されない。

【0014】カレントミラー回路のノード28および32は、それぞれ、それ自身は公知でMOS型の単一のシングルエンド作動回路37の第一および第二の入力ノード35および36に接続され、該回路の出力38は、イ

ンバータ39を介してセンスアンパ12の出力末端15に接続される。

【0015】接続されたセル3のワード線5および入力14に適当な電圧値VpcxおよびVREFが公知の方法で供給されると、センスアンパ12は、セル3および基準トランジスタ34に流れる電流を比較し、セル3のしきい値電圧が電圧VREFと相関する値より低い場合およびその逆の場合には、信号ODの第一の論理状態（この場合は「1」）を生成する。さらに、比較が電流で行なわれるため、セル3のしきい値電圧と比較される電圧値が大きければ大きいほど基準トランジスタ34に供給される基準電圧VREFは小さくなる。

【0016】以上の説明にもとづいて、以下、図3並びに図1および2の回路図を参照してアレイ2の制御された消去を行なうための方法を説明する。まず、ブロック40で、第一の消去パルスがあたえられる。そのため、あらかじめ定められた期間、例えば10m秒間、共通のソース末端16には10Vの電圧が供給され、すべてのワード線5の電圧VPCXは接地（0V）にセットされ、すべてのビット線4は（列デコーダ10のすべてのスイッチ27を開くことによって）浮遊状態にされる。

【0017】次に、ブロック41で、低いしきい値ベリファイのステップ（「低いチェック」）がアレイ（または消去されたセクタ）のすべてのセルに実行される。一以上のセル3が過剰消去された場合すなわちそのしきい値が第一のしきい値Vth1より低い場合、過剰消去された一またはそれ以上のセルには図4を参照して以下に説明するように選択的「ソフト」プログラミングが実行される。

【0018】次に、ブロック42で、高いしきい値ベリファイのステップ（「高いチェック」）が実行される。すべてのセルが第二のしきい値Vth2より低い第一のしきい値より大きい場合（ブロック43の出力がイエス）、消去のプロセスは終了する。それ以外の場合（出力がノー）、他の消去パルスが供給され（ブロック44）、上記で述べたプロセスが最初から繰り返される。

【0019】図4を参照して、低いしきい値ベリファイのステップを詳細に説明する。とくに、このステップは、アドレス指定されたセルの誤った読出しがアドレス指定されたセル自身によってではなくアドレス指定されなくても（ゲート電圧がゼロでも）作動する同じ列の他の減損したセルによって生じ、その結果、ある列に減損したセルがあっても、そのセルを正確かつただちに突き止めることができなくなることを考慮したものである。この場合には、以下で詳細に説明するように、正しくない読出しを生じるセルは、一連のソフト・プログラミング・パルスを受け取り、各ソフト・パルスの後にもう一度読出され、あるあたえられた瞬間にこのセルが正しい読出しを発生する場合には、次のセルの低いしきい値が生じ、また、他方、あらかじめ定められた数のパルスお

よび対応するベリファイ・ステップの後にあるセルがまた過剰消去されるように見える場合には、後に続くセルをベリファイすることによってプロセスが進行し、そこで生じる異常がフラッグによって記憶される。メモリ（または消去されたセクタ）のすべてのセルをベリファイした後にフラッグが上記で説明した異常な状況を示す場合には、上記で説明したのと同じ方法を用いてメモリ全体に低しきい値ベリファイの全プロセスがもう一度繰り返される。それによって、一般的には、ある行の中で過剰消去されたセルが正しく突き止められなくとも、過剰消去状態を正すことが可能となる。

【0020】したがって、図4を参照して、ブロック50で、図2の基準トランジスタ34にあたえられる基準電圧VREFは、例えば2.5Vに設定され、行デコードに供給される電圧VPCXは3Vに設定され、電圧VBは5Vに設定される。次に、ブロック51で、（一回にベリファイされる一つのセルをアドレス指定するために用いられる）セルカウンタIおよびSWで示されるフラッグがゼロに初期設定される。次に、センスアンプ12によって出力信号ODが読出され（ブロック52）、図2を参照して上記で説明したように、読出しセル3のしきい値電圧が電圧VREFと相関する第一のあらかじめ定められた値Vth1より低い場合には（セル3導通）、出力信号は0に等しくなり、それと反対の場合には出力信号1に等しくなる。次に、ブロック53で、ODが0に等しいかどうかチェックされる。等しい場合には（YESが出力）、ブロック54で、セルカウンタIがインCREMENTされて後に続く一つのセルのベリファイが行なわれる。次に、メモリ全体がすでにベリファイされたか否かがチェックされ（ブロック55）、まだの場合には、プログラムがブロック52に戻って後に続く一つのセルの読出しを行なう。メモリ全体がベリファイされた場合には、フラッグSWが0に等しいか否かがチェックされる。等しい場合（メモリのすべてのセルについて低しきい値ベリファイが正しい場合）には、プロセスが終了し、等しくない場合には、プログラムがブロック51に戻ってメモリ（メモリ・セクタ）全体に低しきい値ベリファイのステップが繰り返される。

【0021】セル3のベリファイの間に、セル3が過剰消去されるにしたがって出力信号ODが1に等しいことが明らかになった（ブロック53からNOが出力）場合には、過剰消去セルのソフト・プログラミングが実行される。詳細には、ブロック60で、繰返しカウンタCが初期値ゼロにセットされ、以後1ユニットごとに繰返しカウンタCがINCREMENTされ（ブロック61）、ブロック62で、（ソフト・プログラミングされるセルに接続されたワード線にあたえられる）電圧VPCXがあらかじめ定められた時間t1（例えば1μ秒）の間5Vにセットされる。一方、ドレイン電圧VDは約5Vのまま、したがって一つのプログラミング・パルスが減損し

たセル3にあたえられる。次に、ブロック63で、電圧VPCXが再び読出し値である3Vにセットされ、ソフト・プログラミングされたばかりのセル3のしきい値電圧が読出される（ブロック64）。次に、出力信号ODの値がチェックされる（ブロック65）。この値が0に等しい場合すなわちソフト・プログラミングされたばかりのセルがもはや過剰消去状態にない場合には、プロセスは、継続して後に続く一つのセルのベリファイを行なってブロック54に戻る。しかし、0に等しくない場合には、ブロック66で、あらかじめ定められた数のソフト・プログラミング・パルス、例えば10パルス、がすでに供給されたか否かがチェックされ、まだの場合には、ブロック61に戻ってカウンタCがINCREMENTされ、さらに一つのソフト・プログラミング・パルスが減損したセル3に供給される。すでに供給されている場合には、ブロック67で、異常フラッグSWが1にセットされ、継続して後に続くセルのベリファイが行なわれる。

【0022】次に、図5を参照して、高いしきい値ベリファイのプロセスを説明する。まずブロック70で、電圧VREFが2Vに設定され、VPCXが3Vに設定される（これは、すでに説明したようにセル3のしきい値電圧をVth1より高い第二のしきい値電圧Vth2と比較することに対応する）。次に、ブロック71で、セルカウンタIがゼロに初期設定され、ブロック72で、第一のセルの読出しベリファイが実行されて出力信号ODの論理値が獲得される。次に、ブロック73で、この論理値が（セル3が導通状態にある状況に対応して、すなわち該セルが第二の値より低いしきい値電圧を有して）1に等しいか否かがチェックされる。等しくない場合には、ブロック77で、不正データ・インディケータがセットされ、高いしきい値ベリファイのプロセスが終了する。等しい場合には、ブロック74で、後に続く一つのセルをアドレス指定するためにカウンタIがINCREMENTされ、ブロック75で、メモリ全体の検査が完了したか否かがチェックされる。メモリにさらにベリファイする必要のあるセル3ある場合には、ブロック75からNOが出力され、後に続くセルのために出力信号ODの読出しブロック72に戻る。しかし、YESが出力された場合には、ブロック76で、正データ・インディケータがセットされ、高いしきい値ベリファイのプロセスが終了する。

【0023】

【発明の効果】上記で説明した消去方法は、消去されたセルのしきい値電圧の分布を狭くすることができ（より具体的には、低いおよび高いしきい値ベリファイステップの間に電圧値VREFを適当に選ぶことによって分布の大きさを設定することができ）、また、しきい値電圧の平均値を得ることができるという効果を有する。この消去方法は、メモリの構造的な変更を必要とせず、制御装

置23に記憶されたプログラムにもとづいてメモリ内にすでに存在する回路構成とステップを用いて実行することができる。

【0024】最後に、図示して上記で説明した方法は、さまざまに変化および変更を行なうことができるが、それらはすべて、特許請求の範囲に記載された本発明の発明の概念に含まれるものである。例えば、上記で説明したように十分に消去されない単一のセルを測定する代わりに、十分に消去されないセルが特定の数より多くなった場合にのみ、あるいは比較される高いしきい値電圧と消去が不十分なセルのしきい値電圧の差が大きくなったメモリがこの差を検出できる回路構成を含む場合に、新しいプログラミング・パルスをあてて低いおよび高いしきい値ペリファイ・ステップを繰返すようにすることも可能である。さらに、高いしきい値および低いしきい値ペリファイの読出しを実行し、また（セルの読出しに現在通常用いられているプロセスと同様な）適当な平行読出し回路ならびにこれらの読出しから同時にソフト・プログラミング・パルスを必要とするセルを選択する回路によっていくつかのセル（例、同じワード線5に接続された8または16のセル）に平行にソフト・プログラミング・パルスを供給することも可能である。

【図面の簡単な説明】

【図1】公知の型のフラッシュ・メモリの簡単なブロック線図である。

【図2】図1の一つのブロックの回路図である。

【図3】本発明に関するフローチャートである。

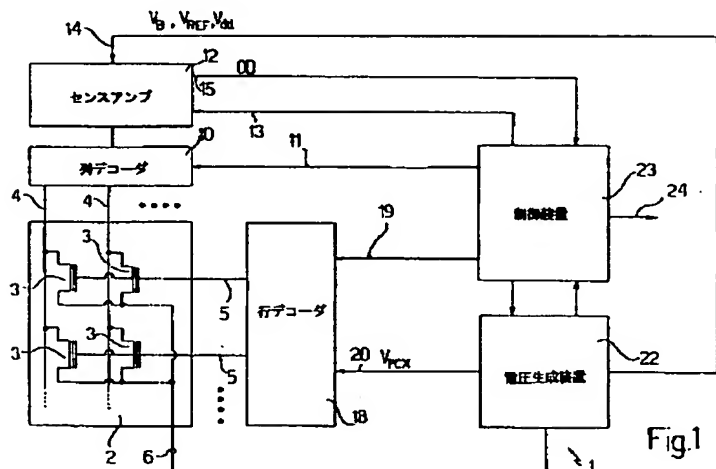
【図4】本発明に関するフローチャートである。

【図5】本発明に関するフローチャートである。

【符号の説明】

- 1 メモリ
- 2 アレイ
- 3 セル
- 4 ビット線
- 5 ワード線
- 6 ソース端末
- 10 列デコーダ
- 11 制御入力
- 12 センスアンプ
- 13 制御入力
- 14 バイアス入力
- 15 出力
- 18 行デコーダ
- 20 バイアス入力
- 22 発電ステージ
- 23 制御装置
- 24 出力
- 27 スイッチ
- 28 ノード
- 29 カレントミラー回路
- 30 セルバイアス回路
- 31 制御トランジスタ
- 32 ノード
- 34 基準トランジスタ
- 38 出力
- 39 インバータ

【図1】



【図3】

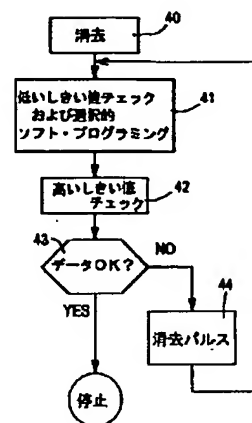
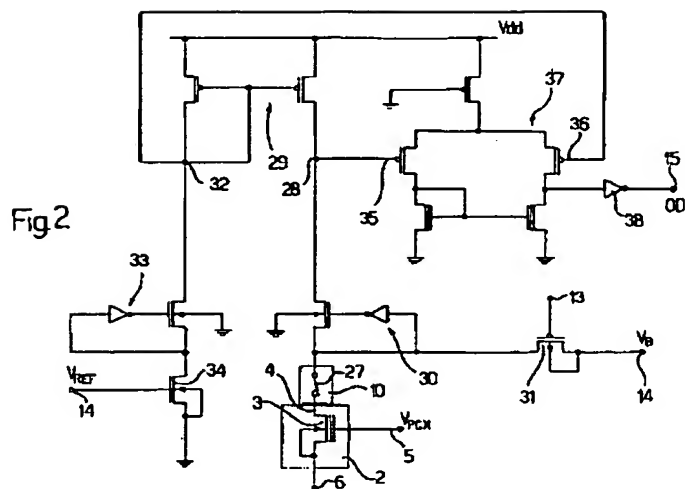


FIG. 3

【図2】



【図5】

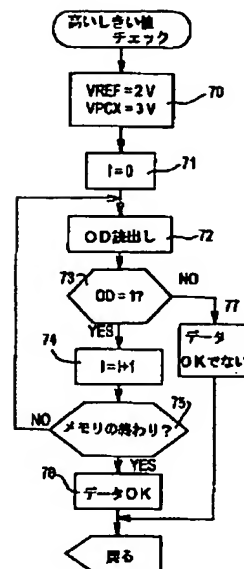


FIG. 5

【図4】

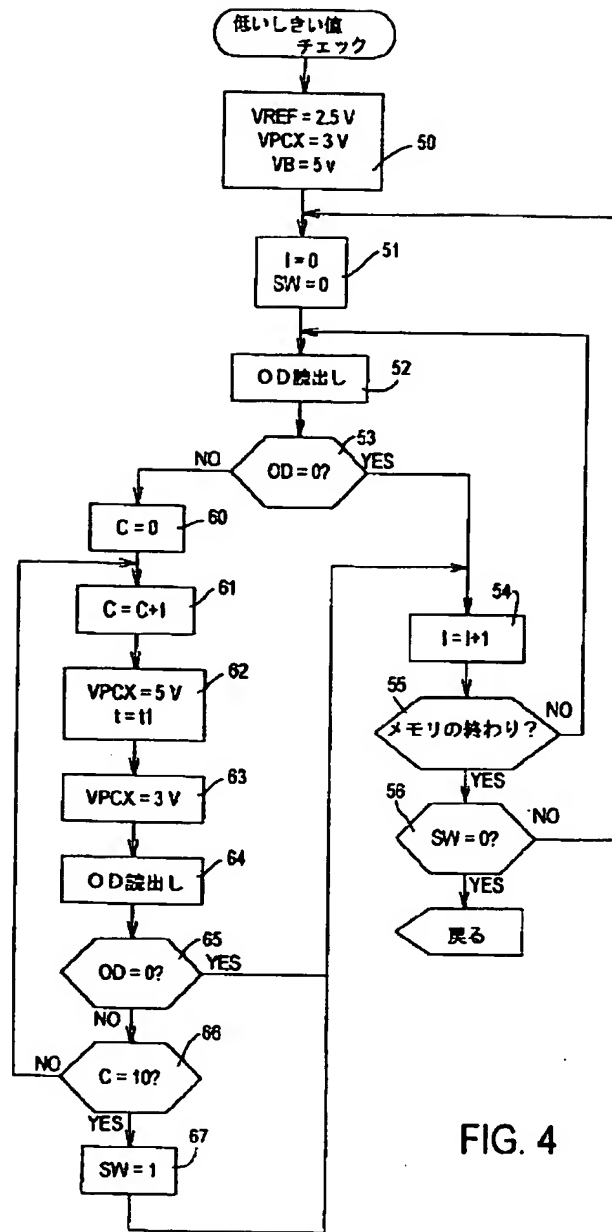


FIG. 4

フロントページの続き

(72)発明者 ロベルト・カネガルロ
 イタリア国、15057 トルトーナ、コル
 ソ・ドン・オリオーネ、11

(72)発明者 エレネスティーナ・キオッフィ
 イタリア国、27100 バヴィア、ヴィア
 レ・ルドビーコ・イル・モロ、59

(72)発明者 ジョバンニ・ゴッツイーニ
イタリア国、20060 トレセルラ、ヴィ
ア・ジー・ガリレイ、75

(72)発明者 フランク・レルメ
イタリア国、20059 ヴィメルカテ、ヴィ
ア・アシャーゴ、2D
(72)発明者 ビエールイジ・ローランディ
イタリア国、15059 モンレアレ、ヴィ
ア・ピエトラ・デル・ガルロ、34